

【特許請求の範囲】

【請求項1】 リフレッシュサイクル時間を設定するマスタクロック信号を発生する半導体メモリ装置のセルフリフレッシュ周期調節回路において、

外部制御信号によるリフレッシュモード設定に応じて所定周期のパルス列を発生し、これを順次分周して相互に異なる周期を有する多数の分周パルス列を出力するパルス列発生手段と、内部に設定された基準レベルに対する周辺温度の変化を感知して温度検出信号を出力する少くとも1つの温度検出手段と、内部に設定された基準レベルに対する電源電圧の変化を感知して電圧検出信号を出力する少くとも1つの電圧検出手段と、電圧検出信号及び温度検出信号に応じて前記分周パルス列のいずれかを選択し、選択した分周パルス列を基にマスタクロック信号を出力するマスタクロック発生手段と、を備えることを特徴とするセルフリフレッシュ周期調節回路。

【請求項2】 リフレッシュサイクル時間を設定するマスタクロック信号を発生する半導体メモリ装置のセルフリフレッシュ周期調節回路において、

外部制御信号によるリフレッシュモード設定に応じて所定周期のパルス列を発生し、これを順次分周して相互に異なる周期を有する多数の分周パルス列を出力するパルス列発生手段と、内部に設定された基準レベルに対する周辺温度の変化を感知して温度検出信号を出力する少くとも1つの温度検出手段と、内部に設定された基準レベルに対する電源電圧の変化を感知して電圧検出信号を出力する少くとも1つの電圧検出手段と、前記分周パルス列の論理組合せにより複数の組合パルス列を生成すると共に電圧検出信号及び温度検出信号に従ってその組合パルス列のうちのいずれかを選択し、選択した組合パルス列に基づいてマスタクロック信号を出力するマスタクロック発生手段と、を備えることを特徴とするセルフリフレッシュ周期調節回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリ装置に関するもので、特に、セルフリフレッシュのリフレッシュ周期を調節するためのセルフリフレッシュ周期調節回路に関する。

【0002】

【従来の技術】 一般に、メモリセルに記憶されたデータを保持するためのリフレッシュを必要とするメモリ装置、例えばダイナミックランダムアクセスメモリ（DRAM）においては、動作待機モードでもメモリセルに対しデータのリフレッシュを持続的に行う必要がある。そのための動作が、セルフリフレッシュ（Self-refresh）である。

【0003】 近年、メモリ装置の低電力化が進められ、その動作電流を減少させるための技術もかなりのスピードで進歩しており、それに伴って、セルフリフレッシュ

でも動作電流を極力抑制することが不可欠になってきている。セルフリフレッシュにおいて動作電流を抑制するためには不要なリフレッシュ動作をできるだけ除くことが考えられ、そのためには、メモリセルがデータを保持できる最長時間を周期としてセルフリフレッシュを行えばよい。このような適正なリフレッシュ周期を設定するためにセルフリフレッシュ周期調節回路が必要とされる。

【0004】 セルフリフレッシュ周期の調節は、メモリセルのデータ保持時間を測定しておき、タイマから出力されるパルス列を分周して得た多数の分周パルス列を用いてそのうちの前記データ保持時間を満足する最長周期のパルス列をマスタクロック信号として選択する方法が一般的である。このような技術の代表例について、本願出願人による韓国特許出願第93-10315号に開示されている。

【0005】 一般に、ダイナミック形メモリセルのデータ保持能力は、電源電圧のレベル及びメモリ装置の周辺温度とかなり密接な関係がある。すなわち、メモリ装置に供給される電源電圧が降下したり、あるいはメモリ装置の周辺温度が上昇すると、メモリセルのデータ保持能力は低下する。したがって、電源電圧が降下したときは通常に比べて相対的に頻繁なリフレッシュを必要とし、また、周辺温度が高くなると低いときに比べて相対的に頻繁なリフレッシュを必要とする。

【0006】 これに対し、周辺温度の変化に対応してセルフリフレッシュ周期を変化させられるようなセルフリフレッシュ周期調節回路が、1993年刊行の論文集“SYMPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS”の43～44頁に開示されている。この回路は、相互に異なる抵抗-温度係数を有するポリシリコン抵抗及びウェル抵抗、それらによる電圧差を感知できる差動増幅器を利用して予め設定されたレベルに対する周辺温度の変化を感知し、そして感知した周辺温度レベルに適應させて、予め設定された相互に異なる周期のパルス列を出力するタイマのうちのいずれか1つを選択することで、セルフリフレッシュ周期を調節するようにしている。

【0007】 しかしながら、このセルフリフレッシュ周期調節回路は、メモリ装置の周辺温度に対応してリフレッシュ周期を調節することはできるが、供給される電源電圧の変動に対応してリフレッシュ周期を調節することはできない。

【0008】 また、データ保持時間に対し最も近いマスタクロック信号を得ることがあまり容易ではない。すなわち、従来における通常のタイマ回路では、発振器から出力されるパルス列を分周して多数の分周パルス列（例えば、 $2\mu s$ 、 $4\mu s$ 、…、 $128\mu s$ 、 $256\mu s$ ）を発生させた後、そのうちのいずれか1つをマスタクロック信号として選択して使用するようになっている。し

たがって各パルス列は相互に分周関係にあるので、1つのパルス列と次のパルス列（例えば128 μ sと256 μ s）との間の周期をマスタクロックとして選択できないことになる。この間のマスタクロックを得るためには、別途の複雑なタイマ回路が必要となってくる。

【0009】

【発明が解決しようとする課題】したがって本発明の目的は、各場合に依りて最適なセルフリフレッシュ周期を選択することが可能で、リフレッシュでの動作電流を抑制できるようにセルフリフレッシュ周期調節回路を提供することにある。また、本発明の他の目的は、周辺温度及び電源電圧に対応してリフレッシュ周期を能動的に変化させられるセルフリフレッシュ周期調節回路を提供することにある。加えて、本発明の更なる目的は、メモリセルのデータ保持時間に対応した最適なリフレッシュ周期を得られるようなセルフリフレッシュ周期調節回路を提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明は、セルフリフレッシュ周期調節回路について、メモリ装置の特性に応じて設定される基準レベルに対する周辺温度の変化を感知して温度感知信号を出力する手段と、設定された基準レベルに対する電源電圧の変化を感知して電圧検出信号を出力する手段と、を備えるようにし、そして、分周器を用いて多数の分周パルス列を発生しておいて、そのうちのいずれかを電圧検出信号及び温度検出信号に応じて選択し、その選択した分周パルス列に基づいてセルフリフレッシュのマスタクロック信号を出力する構成とすることを特徴としている。

【0011】さらに、分周器から出力される多数の分周パルス列を相互に論理組合せて各分周パルス列の間の周期をも補う周期をもつ組合パルス列を生成し、そのうちのいずれかを前記温度検出信号及び電圧検出信号に応じて選択し、選択した組合パルス列に基づいてマスタクロック信号を発生することを特徴とする。特にこのような構成とすることで、更なるタイマ回路等を用いることなく論理ゲート等を用いた簡単な回路構成で多種類の細密なパルス列を発生させられるようになり、メモリセルの最長データ保持時間に適応した最適のリフレッシュ周期を得やすくなる。

【0012】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。尚、図中の同じ部分には可能な限り同じ符号を用いるものとする。

【0013】本発明のより全般的な理解のために、各種詳細回路や特定データ、分周クロック（分周パルス列）の数及びその各周期等の特定な詳細を以下に述べるが、当該技術分野で通常の知識を有する者ならば、これら特定詳細でなくとも本発明を実施可能であることは理解できよう。

【0014】この例におけるメモリセルは、1トランジスタ1キャパシタからなるダイナミック形メモリセルである。また、ウェル抵抗とは、半導体基板に形成された不純物領域、すなわちウェルが有する面抵抗（sheet resistance）を意味し、ポリシリコン負荷抵抗（以下、ポリ抵抗とする）とは、抵抗成分として半導体基板上部に形成されたポリシリコン負荷の有する面抵抗を意味する。

【0015】図1に、ブロック図を用いて本発明によるセルフリフレッシュ周期調節回路の構成例を示す。CBRモード（バーCAS Before パーRAS mode）検出手段10は、外部制御信号である（反転）ローアドレスストロブ信号バーRAS及び（反転）カラムアドレスストロブ信号バーCASの論理レベルに依りてタイマをエネーブルさせるためのタイマ駆動信号 ϕT_{mon} を出力する。パルス列発生手段12は、タイマ駆動信号 ϕT_{mon} に依りてタイマ36から所定周期のパルス列を出力し、そして分周器38でそのパルス列を分周して相互に異なる周期を有する多数の分周パルス列 $Q_0 \sim Q_n$ を出力する。温度及び電圧検出手段14は、メモリ装置の周辺温度及びメモリ装置に供給される電源電圧について予め設定された各基準レベルに対する変化を感知し、温度検出信号 ϕT_{det} 及び電圧検出信号 ϕV_{det} を出力する。マスタクロック発生手段16は、パルス列発生手段12から出力されるパルス列を組合せて新たな周期の組合パルス列を発生し、そのうちのいずれか1つを温度検出信号 ϕT_{det} 及び電圧検出信号 ϕV_{det} の組合せ結果に従い選択し、そしてセルフリフレッシュのマスタクロック信号 ϕR_d として出力する。セルフリフレッシュエネーブル信号発生手段18は、タイマ駆動信号 ϕT_{mon} がアクティブとされてから予め設定された遅延時間の経過後に、マスタクロック信号 ϕR_d の出力を許容するセルフリフレッシュエネーブル信号 ϕsre を出力する。リセット信号発生手段20は、予め設定された動作条件に到達するときにリセット信号 $\phi Reset$ を出力する。

【0016】図2～図9に、図1に示す各ブロックについての詳細回路を示し、そして図10に、この実施例の回路における動作タイミング図を示している。以下、これら図面を用いてより具体的に説明する。

【0017】図2に示すのは、図1に示したCBRモード検出手段10の具体的な回路例である。この例のCBRモード検出手段10は、 ϕR 発生部30、 ϕC 発生部32、及びタイマ駆動信号発生部34からなっている。 ϕR 発生部30は、信号バーRASを入力として信号 ϕR を出力する直列接続された5個のインバータで構成され、 ϕC 発生部32は、信号バーCASを入力として信号 ϕC を出力する直列接続された5個のインバータで構成される。そして、タイマ駆動信号発生部34は、信号 ϕR 、信号 ϕC を各第1入力とし、互いの出力を各第2入力とするNANDゲート102、104と、NAND

ゲート102の出力及び信号 ϕR を第1及び第2入力とするNANDゲート106と、NANDゲート106の出力を反転させてタイマ駆動信号 ϕT_{mon} として出力するインバータ108と、で構成されている。

【0018】この回路は、信号バーRASに先立って信号バーCASが論理“ロウ”に遷移し、さらに信号バーCASが論理“ロウ”を維持する間に信号バーRASが論理“ロウ”に遷移してそのレベルを維持するときのみ、最終出力のタイマ駆動信号 ϕT_{mon} を論理“ハイ”として出力する。

【0019】CBRモード検出手段10から出力されるタイマ駆動信号 ϕT_{mon} はパルス列発生手段12のタイマ36を制御し、これに従ってタイマ36がパルス列信号 ϕOSC を出力する。このタイマ36には、動作電圧及び周辺温度の影響をできるだけ受けないようにカレントミラー形 (current mirror type) リング発振器を使用する。カレントミラー形リング発振器についての詳細回路及び動作特性は、1987年刊行の論文集“SYMPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS”の45～46頁に開示されているのでここでは説明を省略する。

【0020】一方、タイマ36から出力されるパルス列信号 ϕOSC を入力とし、相互に異なる周期を有する多数の分周クロック $Q_0 \sim Q_n$ を出力する分周器38は、相互に直列接続され、各端ごとに1つのパルス列を出力する典型的な2分周多端カウンタで形成される。したがって、パルス列 Q_0 はパルス列信号 ϕOSC に対し2倍の周期を有し、さらにパルス列 Q_1 はパルス列 Q_0 に対し2倍の周期を有する。そして、最も長い周期を有するパルス列 Q_n の周期は、パルス列信号 ϕOSC に対し2ⁿ⁺¹倍の周期を有する。このような分周器36は当該技術分野ではすでによく知られた技術なので、詳しい説明は省略する。

【0021】図3及び図4は、温度及び電圧検出手段14の具体的回路例を示している。図3は、メモリ装置に印加される電源電圧について所定のレベルに対する上下動を感知する電圧検出部40の回路図、図4は、メモリ装置の周辺温度について所定のレベルに対する上下動を感知する温度検出部42の回路図である。

【0022】図3に示すように電圧検出部40は、電圧レベル検出器110、出力ステージ112、及び検出制御器114で構成されている。電圧レベル検出器110は、メモリ装置に印加される電源電圧がこの回路内部に設定された基準レベルより高くなる場合にそれを感知して論理“ハイ”の検出信号を出力する手段である。その詳細については当該技術分野で広く知られた技術であるので説明を省略する。出力ステージ112は、電圧レベル検出器110の出力信号を共通チャネルを通じて伝達するCMOS伝送ゲート120と、CMOS伝送ゲート120の出力を反転して一時ラッチするラッチ手段12

2と、ラッチ手段122の出力ノードに接続されて電圧検出信号 ϕV_{det} を出力するインバータ124と、から構成されている。そして、検出制御器114は、タイマ駆動信号 ϕT_{mon} 及びセルフリフレッシュ信号 sr_{fhp}

(この信号については後述する)を第1及び第2入力とするNANDゲート118と、その出力信号を反転するインバータ116とで構成されている。このインバータ116の出力信号がCMOS伝送ゲート120のNチャネルゲートを制御し、その反転信号が同じくPチャネルゲートを制御する。すなわち、タイマ駆動信号 ϕT_{mon} 及びセルフリフレッシュ信号 sr_{fhp} が同時に論理“ハイ”となる場合にCMOS伝送ゲート120が導通し、これにより、電圧レベル検出器110の出力信号が出力ステージ112に伝達される。

【0023】この電圧検出部40において、電源電圧 V_{cc} が予め設定された検出電圧より大きくなると、電圧レベル検出器110の出力信号は論理“ハイ”になる。そして検出制御器114の出力信号が論理“ハイ”になると、出力ステージ112から電圧検出信号 ϕV_{det} が論理“ハイ”で出力される。これとは逆に、電源電圧 V_{cc} が前記検出電圧より小さいと、電圧レベル検出器110の出力は論理“ロウ”になる。そして検出制御器114の出力信号が論理“ハイ”になると、出力ステージ112から電圧検出信号 ϕV_{det} が論理“ロウ”で出力される。すなわち、メモリ装置に供給される電源電圧が該メモリ用に設定された検出電圧(基準レベル)より低いかを検出できる。

【0024】次に、図4に示すように温度検出部42は、直列接続された各4個のインバータ $U_{I1} \sim U_{I4}$ 、 $L_{I1} \sim L_{I4}$ を通じてセルフリフレッシュ信号 sr_{fhp} を各第1入力として受け、そして互いに相手の出力を各第2入力として受けるNANDゲート126、128と、NANDゲート126の出力信号を入力とする直列接続されたインバータからなるバッファステージ130と、このバッファステージ130の出力信号を入力として温度検出信号 ϕT_{det} を出力する出力ステージ112と、バッファステージ130の出力信号の出力ステージ112への伝達を選択的に遮断することによって検出動作を制御する検出制御器114と、から構成される。このうち、出力ステージ112及び検出制御器114の構成は前述の図3に示したものと同様なので、同じ符号を付しその説明は省略する。

【0025】NANDゲート126の第1入力にセルフリフレッシュ信号 sr_{fhp} を伝達する直列接続された4個のインバータ $U_{I1} \sim U_{I4}$ (第1インバータ群)のうち、インバータ U_{I1} 、 U_{I3} は、それぞれ抵抗 R_{w1} 、 R_{w3} を介して接地電圧 V_{ss} 端に接続されている。一方、インバータ U_{I2} 、 U_{I4} は、それぞれ抵抗 R_{w2} 、 R_{w4} を介して電源電圧 V_{cc} 端に接続されている。また、NANDゲート128の第1入力にセルフリフレ

ツシュ信号srhfpを伝達する直列接続された4個のインバータL I 1～L I 4（第2インバータ群）のうち、インバータL I 1、L I 3は、それぞれ抵抗R p 1、R p 3を介して接地電圧V_{ss}端に接続されている。一方、インバータL I 2、L I 4は、それぞれ抵抗R p 2、R p 4を介して電源電圧V_{cc}端に接続されている。この例では、抵抗R w 1～R w 4をウェル抵抗、抵抗R p 1～R p 4をポリ抵抗で形成している。

【0026】この分野でよく知られているように、ウェル抵抗とポリ抵抗は異なる温度-抵抗係数を有している。つまり、温度変化に対する抵抗値の変化率が異なっている。ここで、同一シリコン基板にウェル抵抗及びポリ抵抗を形成してその面抵抗を測定した結果を次の表1に示す。

【0027】

【表1】

種 類 温 度	ポ リ 抵 抗	ウ ェ ル 抵 抗
25℃	55.0Ω/□	460.0Ω/□
45℃	56.2Ω/□	514.5Ω/□
65℃	56.9Ω/□	564.5Ω/□
85℃	57.7Ω/□	612.6Ω/□
105℃	60.1Ω/□	671.3Ω/□

【0028】この表1から分かるように、温度変化に対するウェル抵抗の変化率はポリ抵抗の変化より大きい。したがって図4の回路において、周辺温度の変化に対するウェル抵抗R w 1～R w 4の抵抗変化は、ポリ抵抗R p 1～R p 4の抵抗変化に比べて相対的に大きくなる。それにより、ウェル抵抗を介して電源電圧端/接地電圧端に接続される第1インバータ群と、ポリ抵抗を介して電源電圧端/接地電圧端に接続される第2インバータ群とでは、導通遅延時間に差がでることになる。すなわち、検出しようとする検出温度（基準レベル）でウェル抵抗R w 1～R w 4及びポリ抵抗R p 1～R p 4が同じ抵抗値を有するとすれば、検出温度以上では、ウェル抵抗R w 1～R w 4の方がポリ抵抗R p 1～R p 4の抵抗値より大きくなり、第1インバータ群を形成する各インバータU I 1～U I 4の導通遅延時間が増える。反対に検出温度より低ければ、ウェル抵抗R w 1～R w 4の方がポリ抵抗R p 1～R p 4の抵抗値より小さくなり、第1インバータ群の導通遅延時間が減る。

【0029】その結果、メモリ装置の周辺温度が予め設定された温度より高くなる場合、リフレッシュ制御信号srhfpが論理“ハイ”で入力されると、第2インバータ群に接続されたNANDゲート128の出力が、第1インバータ群に接続されたNANDゲート126の出力に先立って論理“ロウ”に遷移するので、NANDゲート126の出力は論理“ハイ”、NANDゲート128の出力は論理“ロウ”でラッチされる。反対に、メモリ装置の周辺温度が予め設定された温度より低くなる場合、リフレッシュ制御信号srhfpが論理“ハイ”で入力されると、第1インバータ群に接続されたNANDゲート126の出力が、第2インバータ群に接続されたNANDゲート128の出力に先立って論理“ロウ”に遷移するので、NANDゲート128の出力は論理“ハイ”、NANDゲート126の出力は論理“ロウ”でラッチされ

る。

【0030】つまり、メモリ装置の周辺温度が検出温度を越える場合には第1インバータ群の方が第2インバータ群より長い遅延時間を有し、反対に、周辺温度が検出温度に達しない場合には第1インバータ群の方が第2インバータ群より短い遅延時間を有する。したがって、周辺温度が検出温度より高い場合、第1インバータ群に接続されたNANDゲート126の出力が論理“ハイ”になるので、温度検出信号φT_{det}は論理“ハイ”となる。一方、周辺温度が検出温度より低い場合、第1インバータ群に接続されたNANDゲート126の出力が論理“ロウ”になるので、温度検出信号φT_{det}は論理“ロウ”となる。このような構成により、周辺温度が設定された検出温度より高いか低いかを判別する。

【0031】図5～図7は、マスタクロック発生手段16の具体的回路例を示している。図1に示すようにマスタクロック発生手段16は、パルス選択部44、セルフリフレッシュ信号発生部46、及びマスタクロック発生部48から構成されており、図5にパルス選択部44、図6にセルフリフレッシュ信号発生部46、そして図7にマスタクロック発生部48の回路図をそれぞれ示す。

【0032】図5に示すパルス選択部44では、（反転）電圧検出信号バーφV_{det}及び（反転）温度検出信号バーφT_{det}がNANDゲート132に入力され、また、電圧検出信号φV_{det}及び温度検出信号φバーT_{det}がNANDゲート134に入力される。さらに、電圧検出信号φバーV_{det}及び温度検出信号φT_{det}がNANDゲート136に入力され、また、電圧検出信号φV_{det}及び温度検出信号φT_{det}がNANDゲート138に入力される。一方、分周器38から出力される分周パルス列Q3、Q5がNANDゲート140に入力され、また、分周パルス列Q3、Q6がNANDゲート142に入力される。さらに、分周パルス列Q2、Q5がNANDゲート144に入力される。

NDゲート144に入力され、分周パルス列Q0、Q6がNANDゲート146に入力される。

【0033】NANDゲート132及びNANDゲート140の各出力はNORゲート148に入力され、NANDゲート134及びNANDゲート142の各出力はNORゲート150に入力される。また、NANDゲート136及びNANDゲート144の各出力はNORゲート152に入力され、NANDゲート138及びNANDゲート146の各出力はNORゲート154に入力される。さらに、NORゲート148及びNORゲート150の各出力信号はNORゲート156に入力され、NORゲート152及びNORゲート154の各出力信号はNORゲート158に入力される。そして、NORゲート156及びNORゲート158の各出力信号はNANDゲート160に入力される。このNANDゲート160から信号φsrpが出力される。例えば、分周器38から出力される分周パルス列がQ0～Q7の8個であれば、分周パルス列Q0～Q7のいずれか2個ずつを用いて可能な組合せ数は28個で、図5に示す例では、その組合せ可能な28個中のQ3+Q5、Q3+Q6、Q2+Q5、及びQ0+Q6を選択して用いた場合について示している。ただし、必ずしも分周パルス列の組合せを入力とする必要はなく、場合によっては、いずれかの分周パルス列を直接的にNORゲート148～154へ入力する、あるいは、NANDゲート140～146の2入力に同じ分周パルス列を入力することも可能である。この場合には、その分周パルス列がそのまま選択されることになる。

【0034】図6は、パルス選択部44から出力される信号φsrpを入力としてセルフリフレッシュ信号srfhpを出力するセルフリフレッシュ信号発生部46の具体的回路例を示している。NORゲート164の第1入力端子は信号φsrpを入力とし、その第2入力端子は、直列接続された7個のインバータ群162を通じて信号φsrpを遅延させ且つ反転させた信号を入力とする。インバータ166はNORゲート164の出力信号を入力としてこれを反転させ、セルフリフレッシュ信号srfhpを出力する。インバータ群162による遅延時間は、できるだけメモリ装置のランダム読出／書込アクセス時間tRCと一致させる。

【0035】この回路に入力される信号φsrpの初期状態は論理“ロウ”なので、セルフリフレッシュ信号srfhpの初期状態は論理“ハイ”を維持している。そして、信号φsrpが論理“ハイ”へ遷移し、所定時間後に論理“ロウ”に遷移すると、それに応答してNORゲート164の出力信号がインバータ群162による遅延時間に応じたパルス形態で論理“ハイ”となるので、セルフリフレッシュ信号srfhpも所定時間だけ論理“ロウ”となる。

【0036】図7は、マスタクロック発生部48の具体

的回路例を示す。セルフリフレッシュエネーブル信号φsreを入力とするインバータ168と、インバータ168の出力信号及び前述の信号φRを入力とするNANDゲート170と、インバータ168の出力信号及びセルフリフレッシュ信号srfhpを入力とするNORゲート172と、NORゲート172の出力信号を反転させるインバータ174と、NANDゲート170及びインバータ174の各出力信号を入力とするNANDゲート176と、NANDゲート176の出力信号を入力としてマスタクロック信号φRdを出力する出力バッファステージ178と、から構成されている。

【0037】この回路の動作を簡単に説明すると、セルフリフレッシュエネーブル信号φsreが論理“ロウ”の場合にマスタクロック信号φRdは論理“ハイ”を維持し、一方、セルフリフレッシュエネーブル信号φsreが論理“ハイ”の場合にマスタクロック信号φRdはセルフリフレッシュ信号srfhpの反転信号になる。すなわち、マスタクロック信号φRdの出力は、セルフリフレッシュエネーブル信号φsre及び信号φRが論理“ハイ”の場合にのみ、セルフリフレッシュ信号srfhpの反転信号になる。

【0038】図8は、セルフリフレッシュエネーブル信号発生手段18の具体的回路例を示す回路図である。セルフリフレッシュエネーブル信号φsreは、CBRモードに入った後、予め設定された時間が経過してからエネーブルされる必要がある。そこで、タイマ駆動信号φTmonが論理“ハイ”に遷移しても、パルス信号Qiが論理“ハイ”にエネーブルされなければセルフリフレッシュエネーブル信号φsreは論理“ロウ”を維持する構成とされている。この状態からパルス信号Qiが論理“ハイ”にエネーブルされると、セルフリフレッシュエネーブル信号φsreは、タイマ駆動信号φTmonが論理“ハイ”を維持する間、論理“ハイ”に維持されるようになっている。

【0039】図9は、リセット信号発生手段20の具体的回路例を示す回路図である。このリセット信号発生手段20は、セルフリフレッシュエネーブル信号φsreを第1入力とし、セルフリフレッシュ信号srfhpをインバータ198を通じて反転させて第2入力とするNANDゲート200と、NANDゲート200の出力信号を第1入力とし、また、5個の直列接続されたインバータ群202を通じてNANDゲート200の出力信号を遅延及び反転させて第2入力とするNANDゲート204と、NANDゲート204の出力及びタイマ駆動信号φTmonを第1及び第2入力信号として受けるNANDゲート206と、NANDゲート206の出力信号を反転させてリセット信号φResetを出力するインバータ208と、から構成されている。

【0040】この回路では、NANDゲート206に入力されるタイマ駆動信号φTmonによりリセット信号φ

10

20

30

40

50

Resetの出力が制御される。そして、セルフリフレッシュエネーブル信号 ϕ_{sre} が論理“ハイ”を維持している間にセルフリフレッシュ信号 ϕ_{srh} が論理“ロウ”に遷移するとき（すなわちマスタクロック信号 ϕ_{Rd} が論理“ハイ”で出力されるとき）、NANDゲート200の出力信号は論理“ロウ”になる。その後再びセルフリフレッシュ信号 ϕ_{srh} が論理“ハイ”に遷移すると、NANDゲート204の出力信号は、インバータ群202による遅延時間に応じて論理“ロウ”に一時的に遷移して再び論理“ハイ”に復帰する。このとき、タイマ駆動信号 ϕ_{Tmon} が論理“ハイ”で入力されていれば、リセット信号 ϕ_{Reset} は短い論理“ロウ”のパルスとして出力され、このリセット信号 ϕ_{Reset} により分周器38がリセットされる。

【0041】図10に、本実施例の回路における各信号のタイミングチャートを示し、以上の各図面を参照しながらこのセルフリフレッシュ周期調節回路による周期選択動作を次に詳細に説明する。

【0042】以下の説明では、代表例として、タイマ36から出力されるパルス列 ϕ_{OSC} の周期を $2\mu s$ とする。この場合、分周器38でパルス列 ϕ_{OSC} を順次に分周した分周パルス列 $Q0 \sim Q7$ の周期は、下記の表2

パルス列	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
周 期	4 μs	8 μs	16 μs	32 μs	64 μs	128 μs	256 μs	512 μs

【0045】

に示すようになる。また、1サイクルのリフレッシュでリフレッシュされなければならない行（ロー）の総数（すなわち駆動されるべきワード線数）は2,048個とし、電圧レベル及び温度レベルに従うメモリセルのデータ保持時間は下記の表3のようになるとする。

【0043】表3に示すように、メモリ装置に供給される電源電圧が予め設定された基準レベルより低く、そして周辺温度が予め設定された基準温度より高いとき（すなわちメモリ装置が最悪の動作環境に置かれているとき）のメモリセルのデータ保持時間は170msecであるので、この場合には、最長でもそのデータ保持時間以内に2,048個の行に対してリフレッシュを完了させる必要がある。一方、メモリ装置に供給される電源電圧が予め設定された基準レベル以上で、周辺温度が予め設定された基準温度より低いとき（すなわちメモリ装置が良好な動作環境に置かれているとき）のメモリセルのデータ保持時間は340msecであるので、この場合には、そのデータ保持時間以内に2,048個の行に対してリフレッシュを完了させればよい。

【0044】

【表2】

【表3】

	case 1	case 2	case 3	case 4
各検出信号のレベル	$\phi_{Vdet}:L$ $\phi_{Tdet}:H$	$\phi_{Vdet}:L$ $\phi_{Tdet}:L$	$\phi_{Vdet}:H$ $\phi_{Tdet}:H$	$\phi_{Vdet}:H$ $\phi_{Tdet}:L$
データ保持時間 (ms)	170	210	280	340
選択される組合パルス列	Q2+Q5	Q3+Q5	Q0+Q6	Q3+Q6
マスタクロック ϕ_{Rd} の周期 (μs)	80	96	132	160
リフレッシュサイクル時間 (ms)	163.8	196.6	270.3	327.7

【0046】まず、表3に示した4つのケース中で、電圧検出部40から出力される電圧検出信号 ϕ_{Vdet} が論理“ハイ”で、温度検出部42から出力される温度検出信号 ϕ_{Tdet} が論理“ロウ”であるケース4の動作条件におけるセルフリフレッシュ周期調節回路の動作を説明する。

【0047】図1の回路で、CBRモードに入ってタイマ駆動信号発生部34（図2）から出力されるタイマ駆動信号 ϕ_{Tmon} が論理“ハイ”に遷移すると、それに従ってタイマ36からパルス列 ϕ_{OSC} が出力される。そして分周器38がパルス列 ϕ_{OSC} を分周して分周パルス列 $Q0 \sim Q7$ を出力し、これら分周パルス列 $Q0 \sim Q7$ がパルス選択部44に入力される。

【0048】図8に示すセルフリフレッシュエネーブル信号発生手段18で、クロック信号 Q_i によって決定さ

れる時間、一例として $200\mu s$ の時間が経過すると、セルフリフレッシュエネーブル信号 ϕ_{sre} が論理“ハイ”で出力され（時点 t_0 ）、メモリ装置はセルフリフレッシュモードに入る。このとき、図2に示したように、論理“ロウ”に活性化された信号バーRASに従って信号 ϕ_R は論理“ハイ”を維持する。したがって、セルフリフレッシュモードにおいて、信号 ϕ_R 、セルフリフレッシュエネーブル信号 ϕ_{sre} 、及びタイマ駆動信号 ϕ_{Tmon} はすべて論理“ハイ”を維持する。

【0049】図5を参照すると、電圧検出信号 ϕ_{Vdet} は論理“ハイ”、温度検出信号 ϕ_{Tdet} は論理“ロウ”なので、NANDゲート134の出力のみが論理“ロウ”になり、他のNANDゲート132、136、138の出力は論理“ハイ”になる。したがって、分周パルス列 $Q3$ 、 $Q6$ を入力とするNANDゲート142から

出力される組合パルス列 $Q3+Q6$ のみが有効で、他の組合パルス列はすべて無視される。それにより、NANDゲート160から出力される信号 ϕ_{srp} は、組合パルス列 $Q3+Q6$ に従うことになる。つまり、分周パルス列 $Q3$ 、 $Q6$ が同時に論理“ハイ”となる時点 $t1\sim t2$ の間で信号 ϕ_{srp} は論理“ハイ”を有する。

【0050】この信号 ϕ_{srp} は、図6に示したセルフリフレッシュ信号発生部46でセルフリフレッシュ信号 $srfhp$ に変換される。すなわち、直列接続したインバータ群162の個数が奇数（この例では7個）となっているので、信号 ϕ_{srp} が論理“ハイ”から論理“ロウ”に遷移する時点 $t2$ から、インバータ群162による遅延時間 $t2\sim t3$ の間で、論理“ロウ”のセルフリフレッシュ信号 $srfhp$ が出力される。

【0051】このとき、図7を参照すると、信号 ϕ_R 及びセルフリフレッシュエネーブル信号 ϕ_{sre} が論理“ハイ”を維持しているため、このマスタクロック発生部48は、セルフリフレッシュ信号 $srfhp$ を反転させてマスタクロック信号 ϕ_{Rd} として出力する。

【0052】マスタクロック信号 ϕ_{Rd} はメモリ装置のRASチェーンを支配し、それによってマスタクロック信号 ϕ_{Rd} で制御された内部アドレスが発生し、2,048個のワード線の選択が行われて駆動され、1行ずつメモセルのリフレッシュが行われる。このような動作がマスタクロック信号 ϕ_{Rd} の発生ごとに繰り返して遂行され、それにより全メモセルのリフレッシュが実行されることは勿論のことである。

【0053】このとき、図9に示すリセット信号発生手段20では、セルフリフレッシュエネーブル信号 ϕ_{sre} 及びタイマ駆動信号 ϕ_{Tmon} が論理“ハイ”を維持するので、セルフリフレッシュ信号 $srfhp$ が論理“ロウ”から論理“ハイ”に遷移する時点 $t3$ から、直列接続されたインバータ群202の遅延時間に応じたパルス幅で論理“ロウ”を有するリセット信号 ϕ_{Reset} が出力される。これにより分周器38（図1）はリセットされるので、分周器38から出力される分周パルス列 $Q0\sim Q7$ もすべて初期化され、時点 $t0$ のように始めから再発生される。

【0054】以上の動作は、電圧検出信号 ϕ_{Vdet} 及び温度検出信号 ϕ_{Tdet} がそれぞれ論理“ハイ”及び論理“ロウ”を維持する間、繰り返して遂行される。すなわち、最初のマスタクロック信号 ϕ_{Rd} 発生後、分周パルス列 $Q0\sim Q7$ の発生、信号 ϕ_{srp} の発生、セルフリフレッシュ信号 $srfhp$ の発生、そしてマスタクロック信号 ϕ_{Rd} の発生の順に時点 $t0\sim t3$ の過程が繰り返され、それにより時点 $t4$ でマスタクロック信号 ϕ_{Rd} の2番目のアクティブパルスが発生する。

【0055】この場合、マスタクロック信号 ϕ_{Rd} が論理“ハイ”に活性化される時点 $t2\sim t3$ の時間は、前述したように、メモリ装置のランダム読出／書込サイク

ル時間 t_{RC} と近似しているため、全体のリフレッシュ時間に比べれば無視できる程度のものである。したがって、時点 $t3\sim t4$ の時間で定義されるマスタクロック信号 ϕ_{Rd} の周期は、組合パルス列 $Q3+Q6$ の周期（ $=160\mu sec$ ）と近似することになる。つまり、1本のワード線が選択されてリフレッシュが行われた後、同じワード線が再度選択されてリフレッシュが遂行されるまでの所要時間、すなわちリフレッシュサイクル時間は、 $160\times 2,048=327.7msec$ であり、ケース4でのメモセルのデータ保持時間340msecに近いものとでき、最適なリフレッシュ周期を得られる。

【0056】一方、図3に示した電圧検出部40でセルフリフレッシュ信号 $srfhp$ が論理“ハイ”になると、検出制御器114の出力信号が論理“ハイ”になって出力ステージ112の伝送ゲート120を導通させる。それによって出力ステージ112では、セルフリフレッシュ信号 $srfhp$ が論理“ロウ”から論理“ハイ”に遷移するとき（マスタクロック信号 ϕ_{Rd} が論理“ハイ”から論理“ロウ”に遷移するとき）に、新たな電圧検出信号 ϕ_{Vdet} を出力する。同様に、図4に示した温度検出部42もセルフリフレッシュ信号 $srfhp$ が論理“ロウ”から論理“ハイ”に遷移するときに新たな温度検出信号 ϕ_{Tdet} を出力する。

【0057】すなわち、マスタクロック信号 ϕ_{Rd} が論理“ハイ”に活性化されてから論理“ロウ”に非活性化される際に、電圧検出部40及び温度検出部42で、それぞれ電源電圧と周辺温度の検出動作が遂行される。これにより、図5に示したパルス列選択部44で、新たな電圧検出信号 ϕ_{Vdet} 及び温度検出信号 ϕ_{Tdet} に従ってNANDゲート132、134、136、138のうちのいずれかが論理“ロウ”を出力し、4つの組合パルス列のいずれか1つが選択されて信号 ϕ_{srp} として出力される。

【0058】例えば、前述のケース4の下でのリフレッシュ動作が遂行されている途中で、電源電圧に変化はないが周辺温度の上昇があり、電圧検出信号 ϕ_{Vdet} 及び温度検出信号 ϕ_{Tdet} が両方とも論理“ハイ”で出力されるケース3の条件になると、図5に示したパルス選択部44で、両検出信号を入力とするNANDゲート138の出力が論理“ロウ”、他のNANDゲート132、134、136の出力が論理“ハイ”になり、その結果、組合パルス列 $Q0+Q6$ が選択されて信号 ϕ_{srp} として出力される。したがって、前述と同様の過程を経るマスタクロック信号 ϕ_{Rd} の周期は組合パルス列 $Q0+Q6$ の周期の $132\mu sec$ になり、これにより、1つのメモセルがリフレッシュされた後に再びリフレッシュされるまでのリフレッシュサイクル時間は、 $132\times 2,048=270.3msec$ となるので、ケース3におけるデータ保持時間の280msecに最適となる。

【0059】メモリ装置に供給される電源電圧及びメモ

リ装置の周辺温度の変化に従って動作条件が表 3 のケース 1 及びケース 2 になるときのセルフリフレッシュについては、以上のケース 4 及びケース 3 の説明を参照すれば容易に理解できるので説明は省略する。

【0060】表 3 で示したように、この例のセルフリフレッシュ周期調節回路は、多様な周期の組合パルス列を得ることができるので、データ保持時間を満足し且つそれに一番近い周期のマスタクロックを得ることができる。したがって、不要なセルフリフレッシュを極力抑制することができ、電流消費も減少させられる。

【0061】また、本発明によれば、電源電圧及び温度の変化に応じてメモリ装置内部で自動的にセルフリフレッシュの周期を調節できるので、動作条件に応じて最適なセルフリフレッシュを自動的に遂行することができる。

【0062】以上の実施例においては、図 5 に示したようなパルス選択部を使用してセルフリフレッシュ周期を得るようにしているが、その他にも、分周器から供給される分周パルス列のうちのいずれか 1 つを電圧検出信号及び温度検出信号に応じて選択できるような構成の回路は各種実施可能である。また、電圧検出部及び温度検出部をより多く設け、温度変化及び電圧変化に対応してさらに細密にセルフリフレッシュ周期を調節するようにもできる。

【0063】

【発明の効果】以上述べてきたように、本発明によるセルフリフレッシュ周期調節回路は、多様な周期のパルス列を得ることができるので、データ保持の最大時間を満足しつつ最も近い周期を有するマスタクロックを得られるようになる。また、周辺温度のみならず電源電圧の変化にも応じて能動的にセルフリフレッシュの周期を調節し得るセルフリフレッシュ周期調節回路を提供できる。すなわち、周辺温度は一定で電源電圧が変動する場合、あるいは電源電圧及び周辺温度の両方が変動する場合等

の多様な動作環境に適応して自動的にセルフリフレッシュ周期を最適なものに調節できるようなセルフリフレッシュ周期調節回路を提供できる。

【図面の簡単な説明】

【図 1】本発明によるセルフリフレッシュ周期調節回路の実施例を示すブロック図。

【図 2】図 1 中の CBR モード検出手段 10 の回路図。

【図 3】図 1 中の電圧検出部 40 の回路図。

【図 4】図 1 中の温度検出部 42 の回路図。

10 【図 5】図 1 中のパルス列選択部 44 の回路図。

【図 6】図 1 中のセルフリフレッシュ信号発生部 46 の回路図。

【図 7】図 1 中のマスタクロック発生部 48 の回路図。

【図 8】図 1 中のセルフリフレッシュエネーブル信号発生手段 18 の回路図。

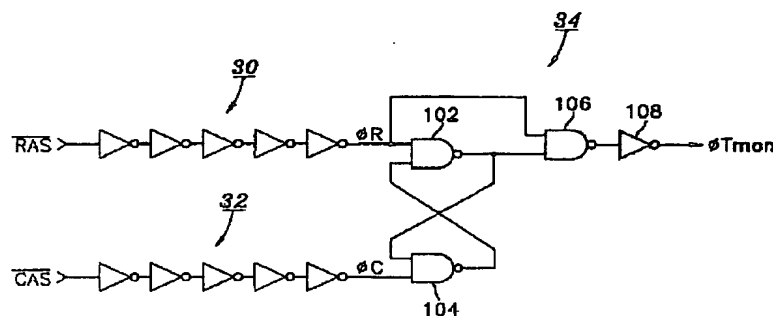
【図 9】図 1 中のリセット信号発生手段 20 の回路図。

【図 10】図 1 に示す回路における信号波形図。

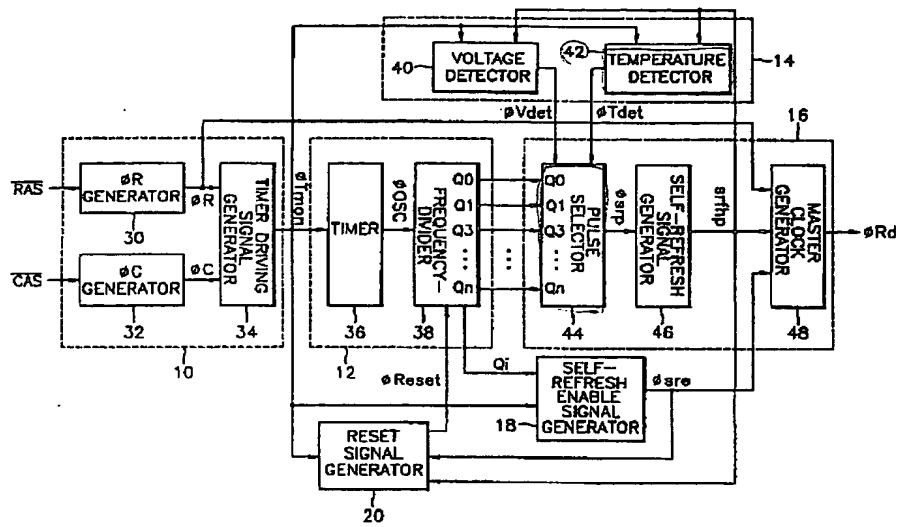
【符号の説明】

- 10 CBR モード検出手段
- 12 パルス列発生手段
- 14 温度及び電圧検出手段
- 16 マスタクロック発生手段
- 18 セルフリフレッシュエネーブル信号発生手段
- 20 リセット信号発生手段
- 30 ϕR 発生部
- 32 ϕC 発生部
- 34 タイマ駆動信号発生部
- 36 タイマ
- 38 分周器
- 40 電圧検出部
- 42 温度検出部
- 44 パルス選択部
- 46 セルフリフレッシュ信号発生部
- 48 マスタクロック発生部

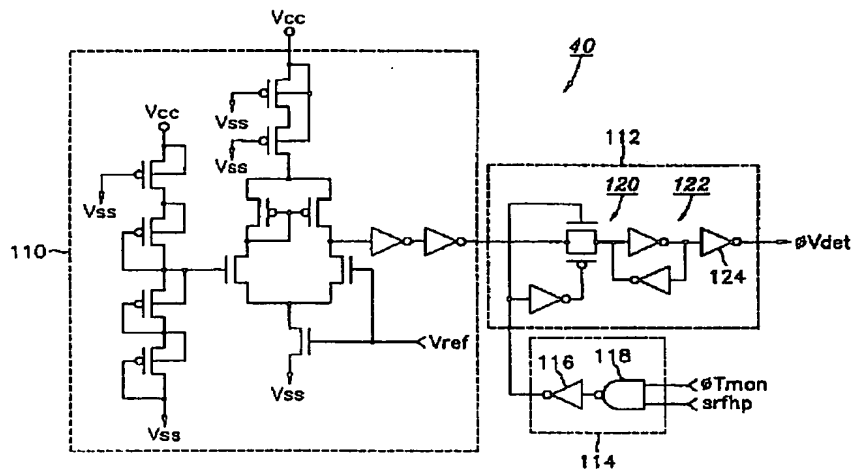
【図 2】



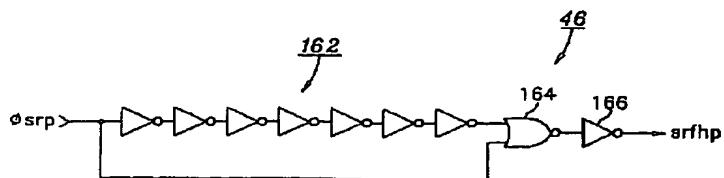
【図 1】



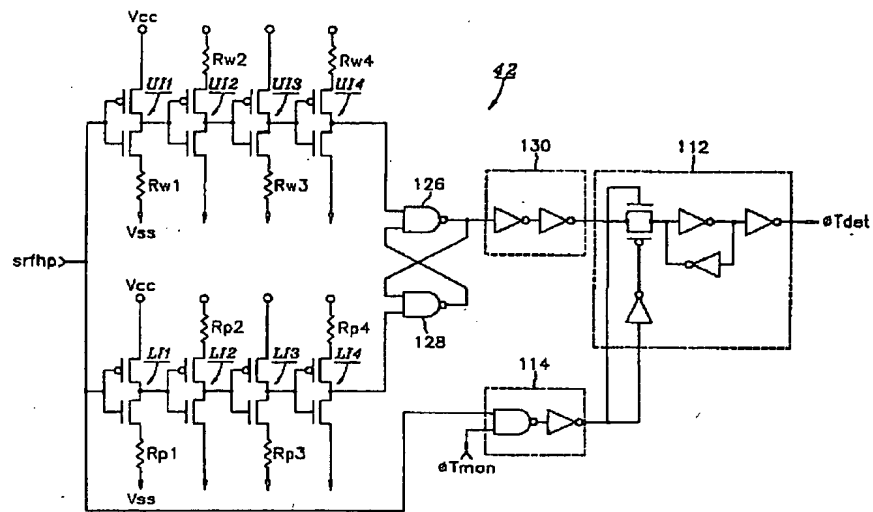
【図 3】



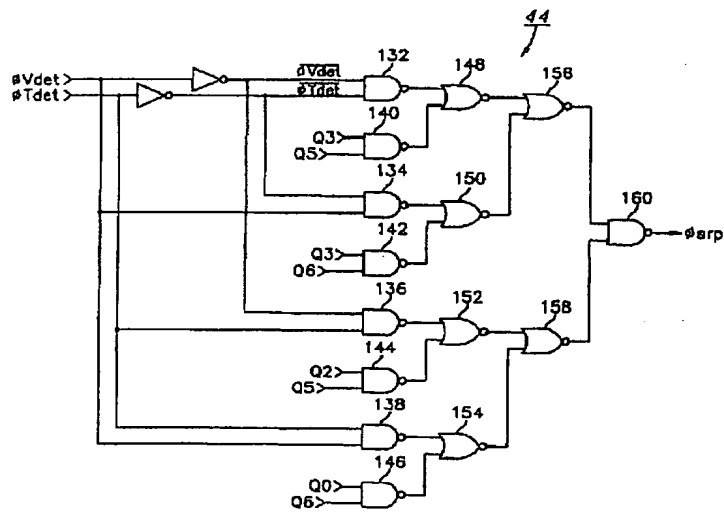
【図 6】



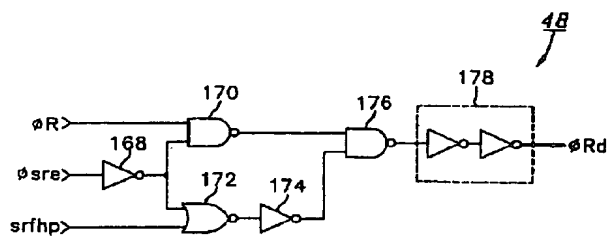
【図4】



【図5】



【図7】



[illegible]